

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

Are a circuit for controlling mutual conductance (g_m) and common mode output current of a rail rail input stage of an operational amplifier, and the aforementioned input stage 1. Output terminal, a transistor (M_1 - M_4) to which each has gate voltage and tail current -- at least N type and P blocking power differential pair, [have and] Said operational amplifier has low, middle, and the common mode input voltage field containing high common mode input voltage, The 1st current switch (M_7 - M_8) that has one gate combined to N blocking power differential pair of a transistor (M_1 - M_2), The 2nd current switch (M_5 - M_6) that has one gate combined to P blocking power differential pair of a transistor (M_3 - M_4), A voltage means combined to the aforementioned current switch (M_5 - M_8) in order to give a standard and bias voltage to a gate of the aforementioned current switch (M_5 - M_8), ***** -- and -- the aforementioned current switch (M_5 - M_8) compares common mode input voltage of a difference input pair (M_1 - M_4) with current switch gate voltage, and this activates at least one of difference input pairs (M_1 - M_4). A circuit for controlling mutual conductance (g_m) and common mode output current of a rail rail input stage of an operational amplifier.

2. In order that it may be a circuit given in Claim 1 and the aforementioned current switch (M_5 - M_8) may maintain fixed common mode output current, A circuit for controlling mutual conductance (g_m) and common mode output current of a rail rail input stage of an operational amplifier which answer changing common mode input voltage.

3. When it is a circuit given in Claim 2 and low and high common mode input voltage are impressed to an input stage, . The aforementioned current switch (M_5 - M_8) divides tail current of a non-activity difference input pair into two equal current signals, and turn these current to an output terminal of an input stage. A circuit for controlling mutual conductance (g_m) and common mode output current of a rail rail input stage of an operational amplifier.

4. When it is a circuit given in Claim 3 and middle common mode input voltage is impressed to an input stage, A circuit for controlling mutual conductance (g_m) and common mode output current of a rail rail input stage of an operational amplifier which the aforementioned current switch (M_5 - M_8) adjusts tail current of activity input pairs, and turn these current signals to an output terminal of an input stage.

5. It is a circuit given in Claim 4, and an aforementioned current switch (M_5 - M_8) and said input pairs (M_1 - M_4) are the combination of a bipolar transistor and a CMOS transistor. A circuit for controlling mutual conductance (g_m) and common mode output current of a rail rail input stage of an operational amplifier.

6. Additional MOS transistor (M_1 - M_4) which is circuit given in Claim 5 and was combined

further to current switch (Q_5 - Q_8), In order to give a standard and a bias voltage signal to the aforementioned additional MOS transistor (M_1 - M_4), A voltage means combined at a gate of an additional MOS transistor (M_1 - M_4), ***** -- and -- noise in an input stage started by a current switch (Q_5 - Q_8) of the above [the aforementioned additional MOS transistor (M_1 - M_4)] and offset contribution are removed. A circuit for controlling mutual conductance (g_m) and common mode output current of a rail rail input stage of an operational amplifier.

7. Are a circuit given in Claim 4 and the aforementioned voltage means gives voltage difference between gates of the 1st current switch (M_7 - M_8) and the 2nd current switch (M_5 - M_6). A circuit for controlling mutual conductance (g_m) and common mode output current of a rail rail input stage of an operational amplifier.

8. Are a circuit given in Claim 7 and impression of voltage difference between gates of the aforementioned current switch (M_5 - M_8), A value of the aforementioned current switch (M_5 - M_8) is enabled to become small to the aforementioned input transistor (M_1 - M_4), And a circuit for controlling mutual conductance (g_m) and common mode output current of a rail rail input stage of an operational amplifier which reduce noise and offset contribution to an input stage by the aforementioned current switch (M_5 - M_8) by that cause.

9. Resistance combined between current switch (Q_5 - Q_8) of further the above [a circuit given in Claim 4], and aforementioned input differential pair of transistor (Q_1 - Q_4) (R_5 - R_8), When ***** and the aforementioned resistance (R_5 - R_8) lower mutual conductance (g_m) of the aforementioned current switch (Q_5 - Q_8), A circuit for controlling mutual conductance (g_m) and common mode output current of a rail rail input stage of an operational amplifier which reduce noise of a current switch (Q_5 - Q_8), and offset contribution.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

Field this invention of background this invention of rail rail input stage this invention which has regularity g_m and fixed common mode output current relates to an operational amplifier. This invention relates to the rail rail input stage which has fixed mutual conductance and fixed common mode output current in detail.

A conventional technology rail rail input stage may comprise parallel N type and a P type transistor.

When such common mode input voltage of an input stage moves to another portion from a part of common mode input area, mutual conductance changes to two times. Since the simple interest profitable frequency of an amplifier is proportional to the mutual conductance of an input stage, this bars the best compensation. In order to obtain the best compensation over all common mode input areas, the mutual conductance of an input stage must be constant. (Issue in December, 1985) "Low-Voltage operational by IEEE magazine Solid-State Circuits, vol.SC-20, page [1144-1150th] J.H.Huijsing, and D.Linebarger. amplifier with rail-to-rail input and output ranges") Some of other methods for controlling mutual conductance are reported also to bipolar technology like the CMOS technology. To the complementary-type input stage designed by BAIPORA, in order that a current switch may obtain fixed mutual conductance, it is used. (Issue in December, 1985) "Low-Voltage operational amplifier by IEEE magazine Solid-State Circuits, vol.SC-20, page [1144-1150th] J.H.Huijsing, and D.Linebarger. with rail-to-rail input and output ranges")

The 4,555,673rd item of a United States Patent specification by Huijsing etc. is indicating the

differential amplifier which has rail rail input capability and the controlled mutual conductance. A common mode voltage draws at least a part of supply current at least from one side of the differential portion of an input stage, when [of a supply area] it is inside in part at least, and for last reason, current control or a current switch is used for the method used in order to control this mutual conductance.

When operating by reversal with a strong CMOS complementary-type input stage, fixed mutual conductance can be obtained by use of a square root circuit or a 3 time current mirror.

(Proceeding ISCAS93.) "A low-voltage CMOS operational amplifier with rail-to-rail constant- g_m input by Botma of the 1314-1317th pages of **, J.H., etc. stage and class-AB rail-to-rail output stage", Proceeding. "CMOS low-voltage operational amplifiers with constant g_m rail-to-rail by page [2876-2879th] Hoger-vorst of ISCAS92, R., etc. input stage." And Digest published in February, 1994. R.Hogervorst of ISSCC94, J.P.Tero, R.G.H.Rschauzier, and "A compact power-efficient rail-to-rail by J.H.Huijsing. ") As opposed to the CMOS complementary-type input stage which operates by weak reversal, In order that a current switch may obtain fixed mutual conductance. It may be used (** 501-504 of vol.SC-25 of IEEE magazine Solid-State Circuit of the December, 1990 issue "A rail-to-rail according to M.D.Pardoen of a page, and M.G.DeGrauwe.). input/output CMOS power amplifier."

The above-mentioned complementary-type input stage has a common fault (that is, the common mode output current of input pairs changes). These current burdens a sum total circuit with load, and it changes as a function of common mode input voltage. As a result, the bias current in a sum total circuit changes. This change is nonpermissible in some different Reasons at a ** sake. An operational amplifier may need the source of a floating current, and it, Generally, It is difficult to design (Digest issue in February, 1994.). R.Hogervorst of ISSCC94, J.P.Tero, R.G.H.Rschauzier, and "A compact power-efficient rail-to-rail by J.H.Huijsing. input/output Amplifier for VLSI cell libraries." Offset contribution of the sum total circuit to the input of an operational amplifier changes, and it becomes reduction of a common mode rejection ratio. Since a passage is added each time in order to cope with the bias current in a sum total circuit to change, multipath compensation can become very complicated and the sum total of an input transistor must be made into two times. Especially to a rail rail input stage, this becomes comparatively large area consumption.

This invention provides the rail rail input stage which overthrows the fault of the solution to and has fixed mutual conductance and fixed common mode output current.

the outline of this invention -- it is the purpose of this invention to provide the circuit for maintaining it, therefore the common mode output current and mutual conductance of a rail rail input stage of an operational amplifier to constant value.

In order to promote the bias of the sum total circuit connected to the input stage, it is another purpose of this invention to provide the circuit for maintaining uniformly the common mode output current of the rail rail input stage of an operational amplifier.

As the sum total circuit connected to the input stage does not contribute to offset change of the amplifier, what the circuit for maintaining uniformly the common mode output current of the rail rail input stage of an operational amplifier is provided for is the purpose of this invention of being one more further.

Other purposes of this invention are to provide the circuit for maintaining uniformly the common mode output current of the rail rail input stage of an operational amplifier, and for this to increase the common mode rejection ratio of the amplifier.

Another purpose of this invention is to provide the circuit for maintaining uniformly the common

mode output current of the rail rail input stage of an operational amplifier, as realization of a multipath compensation operation amplifier is simplified and only few silicon die areas are so needed.

It is another purpose of this invention to provide the circuit for maintaining uniformly the common mode output current of the rail rail input stage of an operational amplifier which operates efficiently and certainly.

This invention provides the rail rail input stage which has fixed mutual conductance and fixed common mode output current. The current switch is combined to each and the voltage source of input pairs of the transistor. The voltage source gives a standard and a bias signal to the gate of a current switch. When common mode input voltage is impressed to an input stage, those current switches determine which input pairs must operate input voltage [the value of a voltage source]. When activating input pairs, those current switches take the tail current of a non-activity pair, and it is divided into two equal portions, and those two equal current signals are turned to an output terminal. The output current received in this way by the sum total circuit connected to the input stage is constant. This control circuit may be materialized using MOS, CMOS, and bipolar technology.

In another working example of this invention, the voltage source connected to the current switch applies voltage difference to the gate of a current switch. Application of the voltage difference to the gate of this current switch enables mutual conductance of a current switch to become small to the value of input pairs at a transistor. By reducing the mutual conductance value of a current switch to input pairs, the noise to the input stage started by addition of a current switch and offset contribution are reduced substantially, and almost is removed.

The other purposes and the features of the brief explanation of the drawings this invention will become clear from the following detailed descriptions considered together with the Drawings of the attachment which indicates some working example of this invention. However, those Drawings being designed only for the purpose of an illustration, and not being designed as a definition of the limit of this invention should be understood.

In Drawings, the similar reference mark expresses the similar element through some Drawings, Drawing 1 is graph Drawings of the input stage of the operational amplifier of conventional technology, and drawing 2 is graph Drawings of the rail rail input stage which has fixed common mode output current by this invention, Drawing 3 is graph Drawings of the fixed mutual conductance rail rail input stage which has fixed common mode output current by this invention, Drawing 4 is the graphic representation of the normalization mutual conductance to common mode input voltage to the circuit of drawing 3, Drawing 5 a is a BiCMOS mode of a fixed mutual conductance rail rail input stage which has fixed common mode output current by this invention, Drawing 5 b is a bipolar mode of a fixed mutual conductance rail rail input stage which has fixed common mode output current alternative to being based on this invention, They are graph Drawings of the CMOS fixed mutual conductance rail rail output stage which drawing 6 operates by strong reversal, and has fixed common mode output current by this invention, Drawing 7 is the graphic representation of the normalization mutual conductance to common mode input voltage to the CMOS mode of the circuit of drawing 6 which has an input stage which operates by strong reversal, Drawing 8 is the graphic representation of the normalization mutual conductance to common mode input voltage to the circuit of drawing 6 which has input pairs which operate by strong reversal, . Drawing 9 has the fixed mutual conductance and fixed common mode output current by this invention. They are graph Drawings of the CMOS rail rail input stage which operates by strong reversal, Drawing 10 is the graphic representation of the

normalization mutual conductance to common mode input voltage to the circuit of drawing 9, Drawing 11 is graph Drawings of another working example of the rail rail input stage by fixed mutual conductance which have fixed common mode output current by this invention, Drawing 12 is graph Drawings of working example instead of [of the circuit of drawing 11 by this invention] the 1st, and drawing 13 is graph Drawings of working example instead of [of the circuit of drawing 11 by this invention] the 2nd.

Detailed written drawing 1 of suitable working example shows an example of the input stage of the operational amplifier of conventional technology. Like a graphic display, this input stage has a rail rail common mode input area which may comprise two complementary-type difference input pairs. This input stage comprises N channel input-pairs M_1 - M_2 and P channel input-pairs M_3 - M_4 . Such a common mode input voltage field for input stages may be divided into three portions, (1) There are low common mode input voltage (only the P channel input pairs operate), (2) middle common mode input voltage (a P channel and N channel input pairs are both operations), and (3) high common mode input voltage (only the N channel input pairs operate). When moving to another portion from the portion whose common mode input voltage is one of the common mode input areas, mutual conductance changes to two times. Therefore, since the simple interest profitable frequency of an amplifier is proportional to the mutual conductance of an input stage, change of mutual conductance bars the best compensation. So, in order to obtain the best compensation over a total common mode input area, the mutual conductance of an input stage must be constant.

With addition of the output current control circuit 22, drawing 2 shows complementary-type input stage M_1 - M_4 . The output current control circuit 22 is $7_{for M}$ - M_8 , and M_5 - M_6 of a complementary-type current switch.

Bias of the gate of N channel current switch M_7 - M_8 is carried out with the value of $V_{ss}+V_{ref}$, and, on the other hand, bias of the gate of P channel current switch M_5 - M_6 is carried out with the value of $V_{ss}+V_{ref}+V_{dif}$.

Current switch M_5 - M_8 determine whether, as compared with each one of those gate voltage, which input pairs must be activity about common mode input voltage. To the common mode input voltage above $V_{ss}+V_{ref}$, N channel input-pairs M_1 - M_2 are activity, and, on the other hand, P channel input-pairs M_3 - M_4 are activity to the common mode input voltage below

$V_{ss}+V_{ref}+V_{dif}$.

When input pairs are activity, it divides the tail current of input pairs into two equal common mode current, and turns those current to an output terminal. When input pairs are not activity, a current switch divides the tail current of non-activity input pairs into two equal portions, and they are turned to an output terminal after that. As a result, the common mode output current of an input stage is constant over a total common mode input area.

An input stage loads a sum total circuit with common mode current. As a result, the bias current in the sum total circuit does not change. So, a sum total circuit does not contribute to offset change, when common mode input voltage sways from a rail rail. This serves as increase of the common mode rejection ratio of an input stage. It should be warned that the mismatching of each set of current switch M_5 - M_8 contributes to offset change of an amplifier. This contribution may be made small by making the value of current switch M_5 - M_8 very smaller than the value of input transistor M_1 - M_4 . The fixed bias current in a sum total circuit also permits easy realization of a multipath compensated amplifier.

Drawing 3 shows the bipolar mode of the circuit of drawing 2. With the difference by which voltage source V_{dif} was made equal to zero, the circuit 30 has a control circuit of the control

circuit 22 (drawing 2), and a similar control circuit. As it is, the common mode output current of an input stage not only has constant value, but mutual KONDAKUTANHI is adjusted by constant value. This circuit is drawn using the bipolar transistor, however it may be used also to the CMOS input stage which operates by weak reversal. Current switch $Q_5 - Q_8$ maintain uniformly the sum total of the tail current of input-pairs $Q_1 - Q_4$. Probably, the mutual conductance of rail rail input stage $Q_1 - Q_4$ will also be constant since the mutual conductance of a bipolar transistor is proportional to the tail current of that. The collector of transistor $Q_5 - Q_6$ may be connected to a negative supply, and, on the other hand, the collector of transistor $Q_7 - Q_8$ may be connected to positive supply V_{cc} . Although this serves as un-fixed common mode output current, mutual conductance is still controlled uniformly.

In order to understand operation of this circuit, the common mode input area of this circuit is divided to three portions.

1) When low common mode input voltage is impressed, only PNP input-pairs $Q_3 - Q_4$ operate. PNP current switch $Q_5 - Q_6$ are off between flows of NPN current switch $Q_7 - Q_8$. As a result, bias of PNP input-pairs $Q_3 - Q_4$ is carried out by tail current I_{r1} , and the current has a value of I_{ref} . PNP input-pairs $Q_3 - Q_4$ divide tail current I_{r1} of that into two equal common mode portions, and turn those current to the output terminal of this input stage. NPN current switch $Q_7 - Q_8$ carry away tail current I_{r2} in which this also has a value of I_{ref} from non-operating NPN input-pairs $Q_1 - Q_2$. NPN current switch $Q_7 - Q_8$ also divide tail current I_{r2} into two equal common mode portions, and these current is turned to an output terminal.

2) When middle common mode input voltage is impressed, NPN input-pairs $Q_1 - Q_2$ operate simultaneously with PNP input pairs, and current switch $Q_7 - Q_8$ carry away a part of tail current I_{r1} and I_{r2} . When common mode input voltage increases, the current which passes along current switch $Q_5 - Q_6$ also increases. However, the current which passes along other $Q_7 - Q_8$ of a current switch - Q_8 decreases as it is the same. As a result, the sum total of tail current $I_{r1} - I_{r2}$ is maintained by the value of I_{ref} . Since tail current $I_{r1} - I_{r2}$ pass along either current switch $Q_5 - Q_6$; $Q_7 - Q_8$ or input-pairs $Q_1 - Q_2$; $Q_3 - Q_4$ and it is turned to an output terminal, common mode output current does not change, either.

3) When high common mode input voltage is impressed, only NPN input-pairs $Q_1 - Q_2$ operate. PNP current switch $Q_5 - Q_6$ flow between OFF of NPN current switch $Q_7 - Q_8$. As a result, bias of NPN input-pairs $Q_1 - Q_2$ is carried out by tail current I_{r2} , and the current has a value of I_{ref} . NPN input-pairs $Q_1 - Q_2$ divide tail current I_{r2} into two equal common mode current, and those current is turned to an output terminal. PNP current switch $Q_5 - Q_6$ carry away current I_{r2} from non-operating PNP input-pairs $Q_3 - Q_4$, and it is divided into two equal portions, and those current is turned to an output terminal.

In this way, it can come to a conclusion that the common mode output current of an input stage is constant. It totals, tail current I_{r1} of input-pairs $Q_1 - Q_4 - I_{r2}$ reach, and, so, the mutual conductance of a rail rail input stage is adjusted by constant value.

Drawing 4 shows the graphic representation of normalization mutual conductance g_m to common mode input voltage to the circuit of drawing 3. Mutual conductance g_m is almost constant over a total common mode input area so that this graph may show.

Drawing 5 a shows the BiCMOS mode 50 similar to the circuit 30 shown in drawing 3. The main differences between the two circuits 50 and 30 are in the noise of current switch $Q_5 - Q_8$, and offset contribution. In drawing 3, current switch $Q_5 - Q_8$ divided into two equal portions the portion of the tail current which is not used for signal amplification. Since these current switch

$Q_5 - Q_8$ are bipolar transistors, they have mutual conductance equivalent to the mutual conductance of input transistor $Q_1 - Q_4$. As it is, current switch $Q_5 - Q_8$ contribute to the noise of an input stage, and offset. This problem may be overthrown in BiCMOS as shown in drawing 5 a. In drawing 5 a, the current which passes along current switch Q_5 of the control circuit 52 - Q_8 is divided by MOS transistor $M_1 - M_4$. In this method, MOS transistor $M_1 - M_4$ contribute to the noise of an input stage, and offset instead of bipolar current switch $Q_5 - Q_8$. By giving mutual conductance very smaller than bipolar current switch $Q_5 - Q_8$ to MOS transistor $M_1 - M_4$, it may enable it to disregard this contribution and it may be attained easily. Although this same art may be applied also in a CMOS technology, additional MOS transistor $M_1 - M_4$ must have a W/L ratio very smaller than current switch $Q_5 - Q_8$.

Drawing 5 b shows the bipolar mode instead of the circuit shown in drawing 3. This circuit contains rail rail input stage $Q_1 - Q_4$, and current switch $Q_5 - Q_8$. These current switch $Q_5 - Q_8$ are degenerating by resistance $R_5 - R_8$. These resistance $R_5 - R_8$ lower effectively the mutual conductance of current switch $Q_5 - Q_8$, and, as it is, they reduce the noise of current switch $Q_5 - Q_8$, and offset contribution. In order to obtain fixed mutual conductance, voltage source V_{Ls} must have a value of $0.5 \times I_{ref} \times R_5$.

Drawing 6 shows the CMOS mode 60 of the circuit 30 of drawing 3. As shown in the case of the bipolar transistor of drawing 3, voltage source V_{dif} is zero. First, the W/L ratio of transistor $M_5 - M_6$, and transistor $M_7 - M_8$ will assume that it is equal to the W/L ratio of input transistor M_1 by which bias is carried out by weak reversal - M_4 . This circuit operates like that (drawing 3) to which now BAIPORA of that corresponds, and the mutual conductance of an input stage is constant over all common mode input areas.

In operating by reversal with a strong input stage, the mutual conductance of input transistor $M_1 - M_4$ is proportional to the square root of the W/L ratio of input transistor $M_1 - M_4$.

Since mutual conductance control maintains uniformly the sum total of the tail current of input-pairs $M_1 - M_4$, the mutual conductance g_m changes about 40% over a total common mode input area (drawing 7). When common mode input voltage is equal to the bias voltage of current switch $M_5 - M_8$, the peak value of mutual conductance g_m arises. In this input voltage, the tail current of input-pairs $M_1 - M_4$ is equal to $0.5I_{ref}$.

By enlarging the W/L ratio of transistor $M_7 - M_8$, and transistor $M_5 - M_6$ 3 times rather than input transistor $M_1 - M_4$, this input stage may improve to operation by strong reversal. Although this input stage works by the same method as the circuit of drawing 3 fundamentally, in the omitted portion of a common mode input area, this circuit carries out slightly different operation. When common mode input voltage is equal to the bias voltage of current switch $M_5 - M_8$, the current which passes along current switch $M_5 - M_8$ is 3 times as large as the current of input-pairs $M_1 - M_4$. As a result, the tail current of input-pairs $M_1 - M_4$ becomes the mutual conductance g_m equal to $0.25I_{ref}$ and same in the lateral part of a common mode input area.

(Refer to drawing 8).

Drawing 8 shows normalization mutual conductance g_m to a common mode input voltage field to the circuit of drawing 6 which operates by strong reversal. Current switch $M_5 - M_8$ have 3 times as large a W/L ratio as input transistor $M_1 - M_4$ (drawing 6). From this graph, it can come to a conclusion that mutual conductance g_m changes about 17% over a full-common input voltage field.

Drawing 9 shows the circuit 90 which can be obtained when the same result suits voltage difference between the gates of current switch M_5 in the control circuit 92 - M_8 . This bias voltage source and this voltage source V_{dif} are realized by transistor M_9 and transistor M_{10} . aspect ratio

***** which is different in these transistor $M_9 - M_{10}$ in this way -- the voltage difference between the gates of current switch $M_5 - M_6$, and current switch $M_7 - M_8$ is made by things. The main advantages of this solution are that worth of current switch $M_5 - M_6$, and [current switch $M_7 - M_8$] may be made small as compared with input transistor $M_1 - M_4$.

There is a tendency for it to reduce the noise of current switch $M_5 - M_8$ and offset contribution. Moreover, this offset voltage change can extend over the large portion of the common mode input area which increases a common mode rejection ratio. Drawing 10 shows normalization mutual conductance g_m to a common mode input area to the circuit of drawing 9. From drawing 10, it can come to a conclusion that mutual conductance g_m changes about 19% over a total common mode input area.

Drawing 11 shows the rail rail input stage which has the fixed mutual conductance and fixed common mode output current for multipath compensated amplifiers. This circuit comprises rail rail input stage Q_1 which has fixed common mode output current - Q_8 , and sum total circuit $Q_9 - Q_{16}$ which has two or more output terminals. Two or more of those output terminals may be used for multipath compensation of an operational amplifier. It is used for accumulating the profit passage in the low frequency passage which has high gain, and, on the other hand, those multipaths may be used for a low interest profitable high-frequency passage. The signal of input stage $Q_1 - Q_8$ is pulled out from transistor Q_{11} . Since input stage $Q_1 - Q_8$ have fixed common mode output current, the current of transistor $Q_{15} - Q_{16}$ also has constant value. So, additional input pairs are not required.

In some application, the excessive noise of a current switch and offset contribution are nonpermissible. Modification as shown in drawing 12 in these cases may be used. In this circuit, bias only of multipath transistor $M_{17} - M_{20}$ is carried out with a fixed current level. This has the same advantage as drawing 11 (that is, additional input pairs are not required). Since control transistor $Q_5 - Q_8$ moreover are not connected with a main signal passage, there are no additional noise and offset by control transistor $Q_5 - Q_8$. Note that bias of this sum total circuit $M_9 - M_{14}$ is carried out from source of floating current I_{f3} .

Drawing 13 shows the application which does not need the source of a floating current, in order to carry out bias of this circuit. Even if the current level in a multipath transistor changes, only the quantity with the same sum total (namely, drain current of transistor M_{21}) of the drain current of transistor M_{19} and transistor M_{17} will change. As a result, a multipath does not have output current depending on common mode input voltage, and input pairs additional so are not required for it. Moreover, it has the same advantage as the circuit shown in drawing 12 (that is, there are no additional noise and offset by control transistor or current switch $Q_5 - Q_8$).

Although some working example of this invention was shown and indicated, do without many change and modification separating from pneuma and a range of this invention which were specified to the attached generic claim must be understood.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平11-506596

(43) 公表日 平成11年(1999)6月8日

(51) Int. Cl.⁸

H 0 3 F 3/45

識別記号

F I

H 0 3 F 3/45

Z

審査請求 未請求 予備審査請求 未請求(全 28 頁)

(21) 出願番号 特願平9-535076
 (86) (22) 出願日 平成9年(1997)3月4日
 (85) 翻訳文提出日 平成9年(1997)11月26日
 (86) 国際出願番号 PCT/JP97/00196
 (87) 国際公開番号 WO97/37428
 (87) 国際公開日 平成9年(1997)10月9日
 (31) 優先権主張番号 08/625,458
 (32) 優先日 1996年3月29日
 (33) 優先権主張国 米国 (US)
 (81) 指定国 EP(AT, BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), JP, KR

(71) 出願人 フィリップス エレクトロニクス ネムロー
 ーゼ フェンノートシャップ
 オランダ国 5621 ベーアー アイन्दー
 フェン フルーネヴァウツウェッハ 1
 (72) 発明者 ホイシグ ヨハン ヘンドリック
 オランダ国 5656 アーアー アイन्दー
 フェン プロフ ホルストラーン 6
 (72) 発明者 ホヘル フォルスト ロナルド
 オランダ国 5656 アーアー アイन्दー
 フェン プロフ ホルストラーン 6
 (74) 代理人 弁理士 杉村 暁秀 (外6名)

(54) 【発明の名称】 一定 g_{Δ} 下 m_{∇} と一定共通モード出力電流とを有するレール-レール入力段

(57) 【要約】

一定相互コンダクタンスと一定共通モード出力電流とを有するレール-レール入力段が提供される。その共通モード出力電流は電流スイッチ ($M_5 \sim M_6$) の使用により制御される。この入力段へ低及び高共通モード入力電圧が印加された場合には、それらの電流スイッチ ($M_5 \sim M_6$) が入力段トランジスタ ($M_1 \sim M_4$) のテール電流の一部を取り、それを二つの等しい部分に分割し、それら二つの等しい電流信号を出力端子へ向ける。中間共通モード入力電圧が印加された場合には、それらの電流スイッチ ($M_5 \sim M_6$) が、共通モード出力電流と相互コンダクタンスとが一定のままであるように入力側のテール電流を調節する。それらの電流スイッチ ($M_5 \sim M_6$) は共通モード入力電圧の変化に応答し、且つそれにより相互コンダクタンスを一定に維持する。

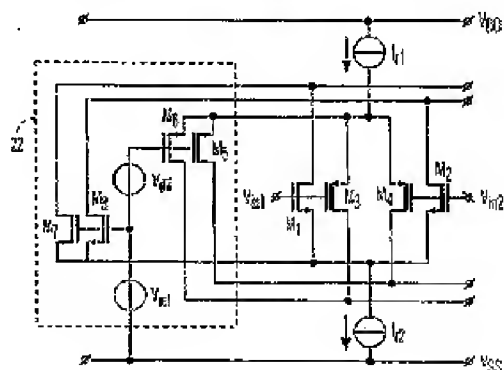


FIG. 2

(2)

特表平11-506596

【特許請求の範囲】

1. 演算増幅器のレール・レール入力段の相互コンダクタンス (g_m) と共通モード出力電流とを制御するための回路であって、前記の入力段は出力端子と、各々がゲート電圧とテール電流とを有するトランジスタ ($M_1 \sim M_4$) の少なくともN型及びP型入力差動対とを有し、前記演算増幅器は低、中間、及び高共通モード入力電圧を含んでいる共通モード入力電圧領域を有し、

トランジスタ ($M_1 \sim M_2$) のN型入力差動対へ結合された一つのゲートとを有している第1電流スイッチ ($M_7 \sim M_8$) と、

トランジスタ ($M_3 \sim M_4$) のP型入力差動対へ結合された一つのゲートとを有している第2電流スイッチ ($M_5 \sim M_6$) と、

前記の電流スイッチ ($M_5 \sim M_8$) のゲートへ基準及びバイアス電圧を与えるために前記の電流スイッチ ($M_5 \sim M_8$) へ結合された電圧手段と、
を具え、且つ

前記の電流スイッチ ($M_5 \sim M_8$) が差動入力対 ($M_1 \sim M_4$) の共通モード入力電圧を電流スイッチゲート電圧と比較し、且つそれにより差動入力対 ($M_1 \sim M_4$) のうちの少なくとも一つを活性化する、演算増幅器のレール・レール入力段の相互コンダクタンス (g_m) と共通モード出力電流とを制御するための回路。

2. 請求項1記載の回路であって、前記の電流スイッチ ($M_5 \sim M_8$) が、一定共通モード出力電流を維持するために、変化する共通モード入力電圧に応答する、演算増幅器のレール・レール入力段の相互コンダクタンス (g_m) と共通モード出力電流とを制御するための回路。

3. 請求項2記載の回路であって、低及び高共通モード入力電圧が入力段へ印加された場合には、前記の電流スイッチ ($M_5 \sim M_8$) が非活性差動入力対のテール電流を二つの等しい電流信号に分割し且つこれらの電流を入力段の出力端子へ向ける、演算増幅器のレール・レール入力段の相互コンダクタンス (g_m) と共通モード出力電流とを制御するための回路。

4. 請求項3記載の回路であって、中間共通モード入力電圧が入力段へ印加された場合には、前記の電流スイッチ ($M_5 \sim M_8$) が活性入力対のテール電流を調節

(3)

特表平11-506596

し且つこれらの電流信号を入力段の出力端子へ向ける、演算増幅器のレール・レール入力段の相互コンダクタンス (g_m) と共通モード出力電流とを制御するための回路。

5. 請求項4記載の回路であって、前記の電流スイッチ ($M_5 \sim M_8$) と前記入力対 ($M_1 \sim M_4$) とがバイポーラトランジスタとCMOSトランジスタとの組み合わせである、演算増幅器のレール・レール入力段の相互コンダクタンス (g_m) と共通モード出力電流とを制御するための回路。

6. 請求項5記載の回路であって、更に、

電流スイッチ ($Q_5 \sim Q_8$) へ結合された付加的なMOSトランジスタ ($M_1 \sim M_4$) と、

前記の付加的なMOSトランジスタ ($M_1 \sim M_4$) へ基準及びバイアス電圧信号を与えるために、付加的なMOSトランジスタ ($M_1 \sim M_4$) のゲートへ結合された電圧手段と、

を具え、且つ

前記の付加的なMOSトランジスタ ($M_1 \sim M_4$) が前記の電流スイッチ ($Q_5 \sim Q_8$) により起こされる入力段内の雑音及びオフセット寄与を除去する、演算増幅器のレール・レール入力段の相互コンダクタンス (g_m) と共通モード出力電流とを制御するための回路。

7. 請求項4記載の回路であって、前記の電圧手段が第1電流スイッチ ($M_7 \sim M_8$) と第2電流スイッチ ($M_5 \sim M_6$) とのゲートの間に電圧差を与える、演算増幅器のレール・レール入力段の相互コンダクタンス (g_m) と共通モード出力電流とを制御するための回路。

8. 請求項7記載の回路であって、前記の電流スイッチ ($M_5 \sim M_8$) のゲート間の電圧差の印加が、前記の電流スイッチ ($M_5 \sim M_8$) の値が前記の入力トランジスタ ($M_1 \sim M_4$) に対して小さくなることを可能にし、且つそれにより前記の電流スイッチ ($M_5 \sim M_8$) による入力段に対する雑音及びオフセット寄与を低減する、演算増幅器のレール・レール入力段の相互コンダクタンス (g_m) と共通モード出力電流とを制御するための回路。

9. 請求項4記載の回路が更に、

(4)

特表平11-506596

前記の電流スイッチ ($Q_5 \sim Q_8$) とトランジスタ ($Q_1 \sim Q_4$) の前記の入力差動対との間に結合された抵抗 ($R_5 \sim R_8$)、
を具え、

前記の抵抗 ($R_5 \sim R_8$) が前記の電流スイッチ ($Q_5 \sim Q_8$) の相互コンダクタンス (g_m) を下げることにより、電流スイッチ ($Q_5 \sim Q_8$) の雑音及びオフセット寄与を低減する、演算増幅器のレール・レール入力段の相互コンダクタンス (g_m) と共通モード出力電流とを制御するための回路。

(5)

特表平11-506596

【発明の詳細な説明】

一定 g_m と一定共通モード出力電流とを有するレール・レール入力段

本発明の背景本発明の分野

本発明は演算増幅器に関するものである。もっと詳細には、本発明は一定相互コンダクタンスと一定共通モード出力電流とを有するレール・レール入力段に関するものである。

従来技術

レール・レール入力段は並列なN型及びP型トランジスタから構成され得る。そのような入力段の共通モード入力電圧が、共通モード入力領域の一部分からもう一つの部分へ動く場合に、相互コンダクタンスは二倍に変化する。増幅器の単利得周波数は入力段の相互コンダクタンスに比例するので、これが最良周波数補償を妨げる。共通モード入力領域全部にわたって最良周波数補償を得るために、入力段の相互コンダクタンスは一定でなければならない。(1985年12月発行の、IEEE雑誌 Solid-State Circuits, vol.SG-20, 第1144~1150頁のJ. H. Huijsing及びD. Linebarger による “Low-Voltage operational amplifier with rail-to-rail input and output ranges”)

相互コンダクタンスを制御するための幾つかの他の方法はCMOS技術と同様にバイポーラ技術に対しても報告されている。バイポーラで設計された相補型入力段に対しては、電流スイッチが一定相互コンダクタンスを得るために用いられている。(1985年12月発行の、IEEE雑誌 Solid-State Circuits, vol.SG-20, 第1144~1150頁のJ. H. Huijsing及びD. Linebarger による “Low-Voltage operational amplifier with rail-to-rail input and output ranges”)

Huijsing他による米国特許明細書第4,555,673号がレール・レール入力能力と制御された相互コンダクタンスとを有する差動増幅器を開示している。この相互コンダクタンスを制御するために使用された方法は、共通モード電圧が供給領域の少なくとも一部分内にある場合に、供給電流の少なくとも一部分を入力段の差動部分の少なくとも一方から導きさるために、電流制御又は電流スイッチを用い

(5)

特表平11-506596

る。

CMOS相補型入力段が強い反転で動作する場合には、一定相互コンダクタンスは平方根回路又は三倍電流ミラーの使用によって得ることができる。(Proceeding ISCAS93 の第1314～1317頁のBotma, J.H.他による “A low-voltage CMOS operational amplifier with rail-to-rail constant- g_m input stage and class-AB rail-to-rail output stage” や、Proceeding ISCAS92の第2876～2879頁のHogervorst, R. 他による “CMOS low-voltage operational amplifiers with constant- g_m rail-to-rail input stage” 及び1994年2月に発行されたDigest ISSCC94のR.Hogervorst, J.P.Tero, R.G.H. Rschauzier, J.H. Huijsingによる “A compact power-efficient rail-to-rail input/output amplifier for VLSI cell libraries”) 弱い反転で動作するCMOS相補型入力段に対しては、電流スイッチが一定相互コンダクタンスを得るために用いられ得る (1990年12月発行のIEEE雑誌 Solid-State Circuit のvol.SC-25 の第 501～504 頁のM.D.Pardoen, M.G. DeGrauweによる “A rail-to-rail input/output CMOS power amplifier”) 。

上述の相補型入力段は共通の欠点 (すなわち入力対の共通モード出力電流が変化する) を有している。これらの電流が合計回路に負荷を負わせ、且つ共通モード入力電圧の関数として変わる。その結果、合計回路内のバイアス電流が変わる。幾つかの異なる理由にののためにこの変動は許容できない。演算増幅器は浮動電流源を必要とし得て、それは、一般に、設計するのが困難である (1994年2月発行のDigest ISSCC94のR.Hogervorst, J.P.Tero, R.G.H.Rschauzier, J.H.Huijsingによる “A compact power-efficient rail-to-rail input/output Amplifier for VLSI cell libraries”) 。演算増幅器の入力への合計回路のオフセット寄与が変化して、共通モード除去比の低減となる。合計回路内の変動するバイアス電流に対処するためには、毎回路が加えられるので、多重通路周波数補償が非常に複雑になり得て、入力トランジスタの合計が二倍にされねばならない。特にレール・レール入力段に対しては、これが比較的大きな面積消費になる。

本発明は先の解決法の欠点を打破し、且つ一定相互コンダクタンスと一定共通モード出力電流とを有するレール・レール入力段を提供する。

(7)

特表平11-506596

本発明の概要

それ故に、演算増幅器のレール・レール入力段の共通モード出力電流と相互コンダクタンスとを一定値に維持するための回路を提供することが本発明の目的である。

入力段へ接続された合計回路のバイアスを助長するために、演算増幅器のレール・レール入力段の共通モード出力電流を一定に維持するための回路を提供することが、本発明のもう一つの目的である。

入力段へ接続された合計回路がその増幅器のオフセット変化に寄与しないように、演算増幅器のレール・レール入力段の共通モード出力電流を一定に維持するための回路を提供することが、本発明の更にもう一つの目的である。

本発明の他の目的は、演算増幅器のレール・レール入力段の共通モード出力電流を一定に維持するための回路を提供し、それによりその増幅器の共通モード除去比を増大することである。

本発明のもう一つの目的は、多重通路補償演算増幅器の実現を簡単化し、且つそれ故に少ない珪素ダイ面積しか必要としないように、演算増幅器のレール・レール入力段の共通モード出力電流を一定に維持するための回路を提供することである。

効率的に且つ確実に動作する、演算増幅器のレール・レール入力段の共通モード出力電流を一定に維持するための回路を提供することが、本発明の別の目的である。

本発明は一定相互コンダクタンスと一定共通モード出力電流とを有するレール・レール入力段を提供する。電流スイッチがトランジスタの入力対の各々と電圧源とへ結合されている。その電圧源が電流スイッチのゲートへ基準及びバイアス信号を与える。共通モード入力電圧が入力段へ印加された場合に、それらの電流スイッチが入力電圧を電圧源の値と比較し、且つどちらの入力対が動作しなくてはならないかを決定する。入力対の活性化に際しては、それらの電流スイッチが非活性対のテール電流を取り、それを二つの等しい部分に分割し、且つそれらの二つの等しい電流信号を出力端子へ向ける。かくして、その入力段へ接続された合計回路により受け取られる出力電流は一定である。この制御回路はMOS、CMOS

(8)

特表平11-506596

及びバイポーラ技術を用いて具体化され得る。

本発明のもう一つの実施例においては、電流スイッチへ接続された電圧源が、電流スイッチのゲートへ電圧差を適用する。この電流スイッチのゲートへの電圧差の適用が、電流スイッチの相互コンダクタンスがトランジスタに入力対の値に対して小さくなることを可能にする。入力対に対して電流スイッチの相互コンダクタンス値を低減することにより、電流スイッチの付加により起こされる入力段への雑音及びオフセット寄与が大幅に低減され、且つほとんど除去される。

図面の簡単な説明

本発明のその他の目的及び特徴が、本発明の幾つかの実施例を開示する添付の図面と一緒に考えられる、以下の詳細な記載から明らかになるであろう。しかしながら、それらの図面は図解の目的のためにのみ設計され、且つ本発明の境界の定義として設計されていないことは理解されるべきである。

図面においては、類似の参照符号は幾つかの図面を通して類似の要素を表しており、

図1は従来技術の演算増幅器の入力段の図式的な図面であり、

図2は本発明による一定共通モード出力電流を有するレール・レール入力段の図式的な図面であり、

図3は本発明による一定共通モード出力電流を有する一定相互コンダクタンスレール・レール入力段の図式的な図面であり、

図4は図3の回路に対する、共通モード入力電圧に対する正規化相互コンダクタンスのグラフ表現であり、

図5aは本発明による一定共通モード出力電流を有する一定相互コンダクタンスレール・レール入力段のBiCMOS態様であり、

図5bは本発明による代わりの一定共通モード出力電流を有する一定相互コンダクタンスレール・レール入力段のバイポーラ態様であり、

図6は強い反転で動作し、且つ本発明による一定共通モード出力電流を有するCMOS一定相互コンダクタンスレール・レール出力段の図式的な図面であり、

図7は強い反転で動作する入力段を有する図6の回路のCMOS態様に対する、共

(9)

特表平11-506596

通モード入力電圧に対する正規化相互コンダクタンスのグラフ表現であり、

図8は強い反転で動作する入力対を有する図6の回路に対する、共通モード入力電圧に対する正規化相互コンダクタンスのグラフ表現であり、

図9は本発明による一定相互コンダクタンスと一定共通モード出力電流とを有する、強い反転で動作するCMOSレール・レール入力段の図式的な図面であり、

図10は図9の回路に対する、共通モード入力電圧に対する正規化相互コンダクタンスのグラフ表現であり、

図11は本発明による一定共通モード出力電流を有する、一定相互コンダクタンスによるレール・レール入力段のもう一つの実施例の図式的な図面であり、

図12は本発明による図11の回路の第1の代わりの実施例の図式的な図面であり、

図13は本発明による図11の回路の第2の代わりの実施例の図式的な図面である。

好適な実施例の詳細な記載

図1は従来技術の演算増幅器の入力段の一例を示している。図示のように、この入力段は2個の相補型差動入力対で構成され得るレール・レール共通モード入力領域を有している。この入力段はNチャネル入力対 $M_1 \sim M_2$ 、及びPチャネル入力対 $M_3 \sim M_4$ から成っている。そのような入力段用の共通モード入力電圧領域は3個の部分に分割され得て、(1)低共通モード入力電圧（Pチャネル入力対のみ動作）、(2)中間共通モード入力電圧（Pチャネル及びNチャネル入力対が双方動作）、及び(3)高共通モード入力電圧（Nチャネル入力対のみ動作）がある。

共通モード入力電圧が共通モード入力領域の一つの部分からもう一つの部分へ動く場合に、相互コンダクタンスは二倍に変化する。従って、増幅器の単利得周波数は入力段の相互コンダクタンスに比例するので、相互コンダクタンスの変化が最良周波数補償を妨げる。それ故に、全共通モード入力領域にわたって最良周波数補償を得るためには、入力段の相互コンダクタンスが一定でなくてはならない。

(10)

特表平11-506596

図2は出力電流制御回路22の付加と共に、相補型入力段 $M_1 \sim M_4$ を示している。出力電流制御回路22は相補型電流スイッチの対 $M_7 \sim M_8$ 及び $M_5 \sim M_6$ である。Nチャネル電流スイッチ $M_7 \sim M_8$ のゲートは $V_{ss} + V_{ref}$ の値でバイアスされ、一方Pチャネル電流スイッチ $M_5 \sim M_6$ のゲートは $V_{ss} + V_{ref} + V_{diff}$ の値でバイアスされている。

電流スイッチ $M_5 \sim M_8$ が共通モード入力電圧をそれらの各自のゲート電圧と比較し、いずれの入力対が活性でなくてはならないかを決定する。 $V_{ss} + V_{ref}$ より上の共通モード入力電圧に対してはNチャネル入力対 $M_1 \sim M_2$ が活性であり、一方 $V_{ss} + V_{ref} + V_{diff}$ より下の共通モード入力電圧に対してはPチャネル入力対 $M_3 \sim M_4$ が活性である。

入力対が活性である場合に、それが入力対のテール電流を二つの等しい共通モード電流に分割し、それらの電流を出力端子へ向ける。入力対が活性でない場合には、電流スイッチが非活性入力対のテール電流を二つの等しい部分に分割し、それらがその後出力端子へ向けられる。結果として、入力段の共通モード出力電流は全共通モード入力領域にわたって一定である。

入力段が合計回路に共通モード電流を積む。その結果、その合計回路内のバイアス電流は変化しない。それ故に、合計回路は、共通モード入力電圧がレール・レールから振れる場合にオフセット変化に対して寄与しない。これが入力段の共通モード除去比の増大となる。電流スイッチ $M_5 \sim M_8$ の各対の不整合が増幅器のオフセット変化に寄与することは注意されるべきである。この寄与は、電流スイッチ $M_5 \sim M_8$ の値を入力トランジスタ $M_1 \sim M_4$ の値よりも非常に小さくすることにより小さくされ得る。合計回路内の一定バイアス電流も多重通路補償増幅器の簡単な実現を許容する。

図3は図2の回路のバイポーラ態様を示している。回路30は電圧源 V_{diff} が零と等しくされた差と共に、制御回路22(図2)の制御回路と類似する制御回路を有している。それなりに、入力段の共通モード出力電流が一定値を有するのみならず、相互コンダクタンスも一定値に調節される。この回路はバイポーラトランジスタを用いて描かれているけれども、それは弱い反転で動作するCMOS入力段に

(11)

特表平11-506596

対しても用いられ得る。電流スイッチ $Q_5 \sim Q_6$ が入力対 $Q_1 \sim Q_4$ のテール電流の合計を一定に維持する。バイポーラトランジスタの相互コンダクタンスはそのテール電流と比例するので、レール・レール入力段 $Q_1 \sim Q_4$ の相互コンダクタンスも一定であるだろう。トランジスタ $Q_5 \sim Q_6$ のコレクタは負電源へ接続され得て、一方トランジスタ $Q_7 \sim Q_8$ のコレクタは正電源 V_{cc} へ接続され得る。これが非一定共通モード出力電流となるけれども、相互コンダクタンスはまだ一定に制御される。

この回路の動作を理解するために、この回路の共通モード入力領域が3個の部分へ分割される。

1) 低共通モード入力電圧が印加された場合には、PNP 入力対 $Q_3 \sim Q_4$ のみが動作する。NPN 電流スイッチ $Q_7 \sim Q_8$ が導通の間は制御回路32のPNP 電流スイッチ $Q_5 \sim Q_6$ はオフである。その結果、PNP 入力対 $Q_3 \sim Q_4$ はテール電流 I_{r1} によりバイアスされ、その電流は I_{ref} の値を有する。PNP 入力対 $Q_3 \sim Q_4$ はそのテール電流 I_{r1} を二つの等しい共通モード部分に分割し、且つそれらの電流をこの入力段の出力端子へ向ける。NPN 電流スイッチ $Q_7 \sim Q_8$ は、非動作NPN 入力対 $Q_1 \sim Q_2$ から、これも I_{ref} の値を有するテール電流 I_{r2} を運び去る。NPN 電流スイッチ $Q_7 \sim Q_8$ もテール電流 I_{r2} を二つの等しい共通モード部分に分割し、且つこれらの電流を出力端子へ向ける。

2) 中間共通モード入力電圧が印加された場合には、PNP 入力対と同時にNPN 入力対 $Q_1 \sim Q_4$ が動作し、且つ電流スイッチ $Q_7 \sim Q_8$ がテール電流 I_{r1} 及び I_{r2} の一部分を運び去る。共通モード入力電圧が増大した場合に、電流スイッチ $Q_5 \sim Q_6$ を通る電流も増大する。しかしながら、電流スイッチの他の対 $Q_7 \sim Q_8$ を通る電流は同じだけ減少する。その結果、テール電流 $I_{r1} \sim I_{r2}$ の合計が I_{ref} の値に維持される。テール電流 $I_{r1} \sim I_{r2}$ は、電流スイッチ $Q_5 \sim Q_6$; $Q_7 \sim Q_8$ 又は入力対 $Q_1 \sim Q_2$; $Q_3 \sim Q_4$ のいずれかを通して、出力端子へ向けられるので、共通モード出力電流も変化しない。

3) 高共通モード入力電圧が印加された場合には、NPN 入力対 $Q_1 \sim Q_2$ のみが動作する。NPN 電流スイッチ $Q_7 \sim Q_8$ がオフの間はPNP 電流スイッチ $Q_5 \sim Q_6$ が

(12)

特表平11-506596

導通する。結果として、NPN 入力対 $Q_1 \sim Q_2$ がテール電流 I_{r2} によりバイアスされ、その電流は I_{ref} の値を有している。NPN 入力対 $Q_1 \sim Q_2$ がテール電流 I_{r2} を二つの等しい共通モード電流に分割して、且つそれらの電流を出力端子へ向ける。PNP 電流スイッチ $Q_5 \sim Q_6$ が非動作 PNP 入力対 $Q_3 \sim Q_4$ から電流 I_{r2} を選り取り、それを二つの等しい部分に分割して、且つそれらの電流を出力端子へ向ける。

かくして、入力段の共通モード出力電流が一定であることが結論され得る。ま

た、入力対 $Q_1 \sim Q_4$ のテール電流 $I_{r1} \sim I_{r2}$ の合計、及びそれ故にレール・レール入力段の相互コンダクタンスは、一定値に調節される。

図4は図3の回路に対する、共通モード入力電圧に対する正規化相互コンダクタンス g_m のグラフ表現を示している。このグラフから判るように、相互コンダクタンス g_m は全共通モード入力領域にわたってほぼ一定である。

図5aは図3に示された回路30に類似したBiCMOS態様50を示している。二つの回路50と30との間の主な差は、電流スイッチ $Q_5 \sim Q_6$ の雑音及びオフセット寄与にある。図3においては、電流スイッチ $Q_5 \sim Q_6$ が信号増幅のために用いられないテール電流の部分を二つの等しい部分に分割した。これらの電流スイッチ $Q_5 \sim Q_6$ はバイポーラトランジスタであるから、それらは入力トランジスタ $Q_1 \sim Q_4$ の相互コンダクタンスと同等である相互コンダクタンスを有する。それなりに、電流スイッチ $Q_5 \sim Q_6$ が入力段の雑音とオフセットとに寄与する。この問題は図5aに示されているような、BiCMOSにおいて打破され得る。図5aにおいては、制御回路52の電流スイッチ $Q_5 \sim Q_6$ を通る電流は、MOS トランジスタ $M_1 \sim M_4$ により分割される。この方法では、バイポーラ電流スイッチ $Q_5 \sim Q_6$ の代わりに、MOS トランジスタ $M_1 \sim M_4$ が入力段の雑音とオフセットとに寄与する。MOS トランジスタ $M_1 \sim M_4$ にバイポーラ電流スイッチ $Q_5 \sim Q_6$ よりも非常に小さい相互コンダクタンスを与えることにより、この寄与は無視できるようにされ得て、それは容易に達成され得る。この同じ技術がCMOS技術においても適用され得るが、しかしながら付加的なMOS トランジスタ $M_1 \sim M_4$ が電流スイッチ $Q_5 \sim Q_6$ よりも非常に小さい W/L 比を有さねばならない。

(13)

特表平11-506596

図5bは図3に示された回路の代わりのバイポーラ態様を示している。この回路はレール・レール入力段 $Q_1 \sim Q_4$ と電流スイッチ $Q_5 \sim Q_8$ とを含んでいる。これらの電流スイッチ $Q_5 \sim Q_8$ は抵抗 $R_5 \sim R_8$ により縮退されている。これらの抵抗 $R_5 \sim R_8$ が電流スイッチ $Q_5 \sim Q_8$ の相互コンダクタンスを効果的に下げて、且つそれなりに、それらが電流スイッチ $Q_5 \sim Q_8$ の雑音及びオフセット寄与を低減する。一定の相互コンダクタンスを得るために、電圧源 V_{Ls} は $0.5 \times I_{ref} \times R_5$ の値を有さねばならない。

図6は図3の回路30のCMOS態様60を示している。図3のバイポーラトランジスタ

の場合に示されたように、電圧源 V_{ref} は零である。最初に、トランジスタ $M_1 \sim M_4$ とトランジスタ $M_7 \sim M_8$ との W/L 比が、弱い反転でバイアスされている入力トランジスタ $M_1 \sim M_4$ の W/L 比と等しいと仮定しよう。この回路は今やそれのバイポーラの対応するもの（図3）と同様に動作し、且つ入力段の相互コンダクタンスは共通モード入力領域全部にわたって一定である。

入力段が強い反転で動作する場合には、入力トランジスタ $M_1 \sim M_4$ の相互コンダクタンスは、入力トランジスタ $M_1 \sim M_4$ の W/L 比の平方根と比例している。相互コンダクタンス制御が入力対 $M_1 \sim M_4$ のテール電流の合計を一定に維持するので、その相互コンダクタンス g_m は全共通モード入力領域にわたって約40%変わる（図7）。共通モード入力電圧が電流スイッチ $M_5 \sim M_6$ のバイアス電圧と等しい場合に、相互コンダクタンス g_m のピーク値が生じる。この入力電圧においては入力対 $M_1 \sim M_4$ のテール電流が $0.5 I_{ref}$ と等しい。

トランジスタ $M_7 \sim M_8$ とトランジスタ $M_5 \sim M_6$ との W/L 比を入力トランジスタ $M_1 \sim M_4$ よりも3倍大きくすることにより、この入力段は強い反転での動作に対して改善され得る。この入力段は基本的に図3の回路と同じ方法で働くが、しかしながら、共通モード入力領域の中間部分においては、この回路は僅かに異なる動作をする。共通モード入力電圧が電流スイッチ $M_5 \sim M_6$ のバイアス電圧と等しい場合には、電流スイッチ $M_5 \sim M_6$ を通る電流が入力対 $M_1 \sim M_4$ の電流よりも3倍大きい。その結果、入力対 $M_1 \sim M_4$ のテール電流は $0.25 I_{ref}$ と等しく、共通モード入力領域の外側部分におけるのと同じ相互コンダクタンス g_m となる。

(14)

特表平11-506596

(図8参照)。

図8は強い反転で動作する図6の回路に対する、共通モード入力電圧領域に対する正規化相互コンダクタンス g_m を示している。電流スイッチ $M_5 \sim M_8$ は入力トランジスタ $M_1 \sim M_4$ よりも3倍大きい W/L 比を有している(図6)。このグラフから、相互コンダクタンス g_m が全共通モード入力電圧領域にわたって約17%変わることが結論され得る。

図9は同じ結果が制御回路92内の電流スイッチ $M_5 \sim M_8$ のゲート間に電圧差を適合することにより得ることができる回路90を示している。このバイアス電圧源とこの電圧源 V_{diff} とは、トランジスタ M_9 とトランジスタ M_{10} とにより実現さ

れる。かくして、これらのトランジスタ $M_9 \sim M_{10}$ に異なる縦横比与えることにより、電流スイッチ $M_5 \sim M_8$ と電流スイッチ $M_7 \sim M_8$ とのゲートの間の電圧差が作りだされる。この解決法の主な利点は、電流スイッチ $M_5 \sim M_8$ と電流スイッチ $M_7 \sim M_8$ との値が入力トランジスタ $M_1 \sim M_4$ と比較して小さくされ得ることであり、それが電流スイッチ $M_5 \sim M_8$ の雑音及びオフセット寄与を低減する傾向がある。その上、このオフセット電圧変化が、共通モード除去比を増大させる共通モード入力領域の大きい部分にわたって広げられる。図10は図9の回路に対する、共通モード入力領域に対する正規化相互コンダクタンス g_m を示している。図10から、相互コンダクタンス g_m が全共通モード入力領域にわたって約19%変わることが結論され得る。

図11は多重通路補償増幅器用の一定相互コンダクタンス及び一定共通モード出力電流を有するレール・レール入力段を示している。この回路は、一定共通モード出力電流を有するレール・レール入力段 $Q_1 \sim Q_8$ と、複数の出力端子を有する合計回路 $Q_9 \sim Q_{16}$ とから成っている。それらの複数の出力端子は演算増幅器の多重通路補償のために用いられ得る。その利得通路は高利得を有する低周波数通路のために用いられ、一方それらの多重通路は低利得高周波数通路のために用いられ得る。入力段 $Q_1 \sim Q_8$ の信号はトランジスタ Q_{11} から引き出される。入力段 $Q_1 \sim Q_8$ が一定の共通モード出力電流を有するので、トランジスタ $Q_{13} \sim Q_{16}$ の電流もまた一定値を有している。それ故に、付加的な入力対は必要でない。

(15)

特表平11-506596

幾つかの応用においては、電流スイッチの余分の雑音及びオフセット容与が許容できない。これらの場合には、図12に示したような変形が用いられ得る。この回路においては、多重通路トランジスタ $M_{17} \sim M_{20}$ のみが一定電流レベルでバイアスされる。これが図11と同じ利点を有する（すなわち付加的な入力対が必要でない）。更にその上、制御トランジスタ $Q_5 \sim Q_8$ が主信号通路と接続されないのので、制御トランジスタ $Q_5 \sim Q_8$ による付加的な雑音とオフセットとがない。この合計回路 $M_9 \sim M_{14}$ は浮動電流源 I_{r3} よりバイアスされていることに注意されたい。

図13はこの回路をバイアスするために浮動電流源を必要としない応用を示している。たとえば多重通路トランジスタ内の電流レベルが変化しても、トランジスタ

M_{19} とトランジスタ M_{17} とのドレイン電流の合計（すなわちトランジスタ M_{21} のドレイン電流）は同じ量だけ変化する。その結果多重通路は共通モード入力電圧に依存する出力電流を有さず、且つそれ故に付加的な入力対が必要でない。その上、それは図12に示された回路と同じ利点を有している（すなわち、制御トランジスタ又は電流スイッチ $Q_5 \sim Q_8$ による付加的な雑音及びオフセットがない）。

本発明の幾つかの実施例が示され且つ記載されたけれども、多くの変化と変形とが添付の請求範囲に規定されたような本発明の精神と範囲とから離れることなくなされ得ることは理解されねばならない。

(15)

特表平11-506596

【図1】

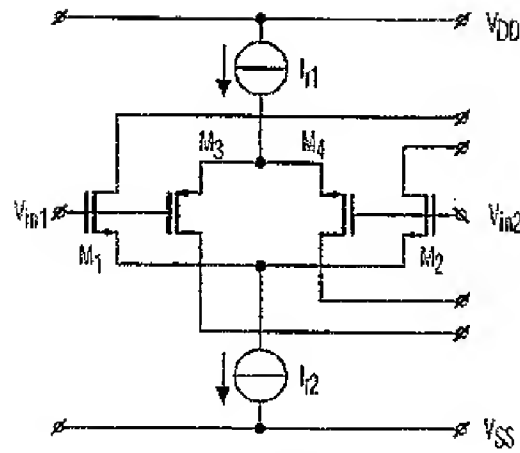


FIG. 1

【図2】

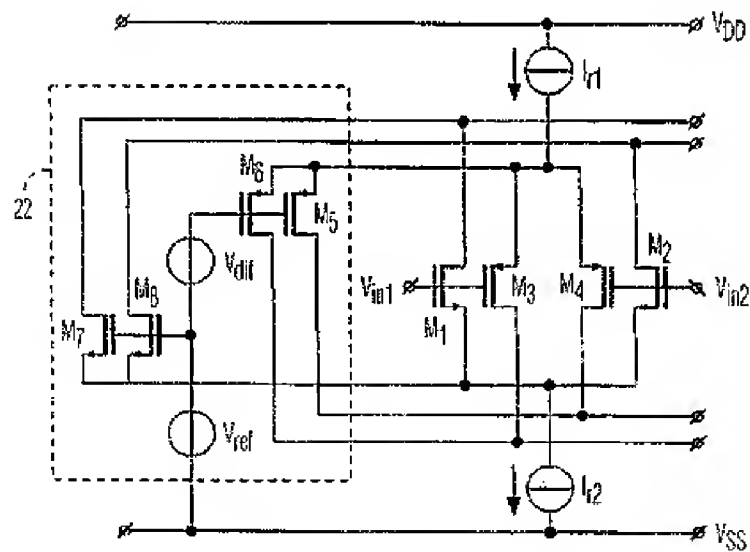


FIG. 2

(17)

特表平11-506596

【図3】

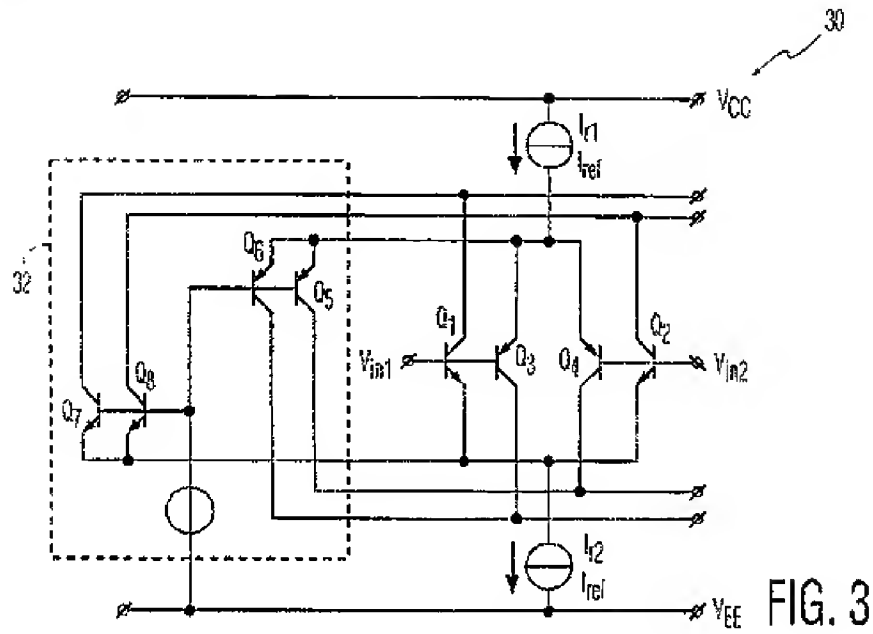


FIG. 3

【図4】

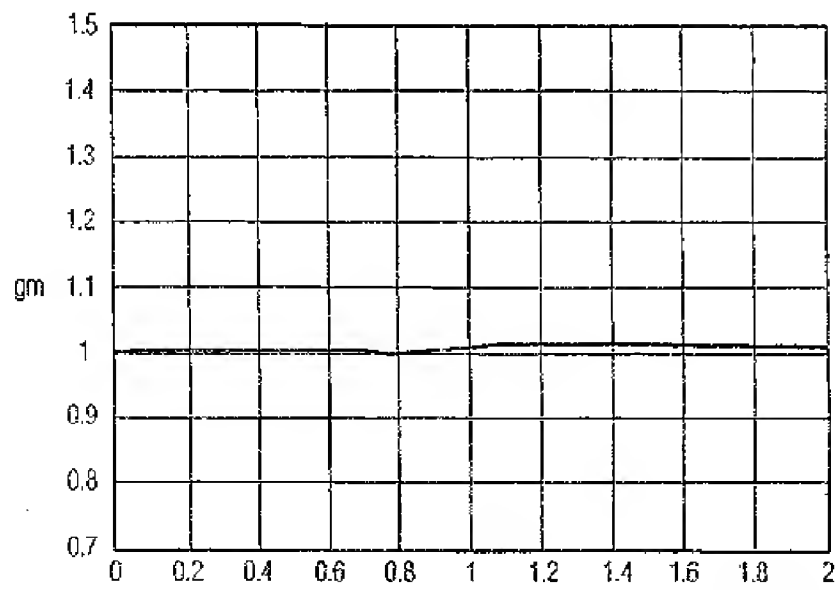


FIG. 4

(18)

特表平 11-506596

【图 5】

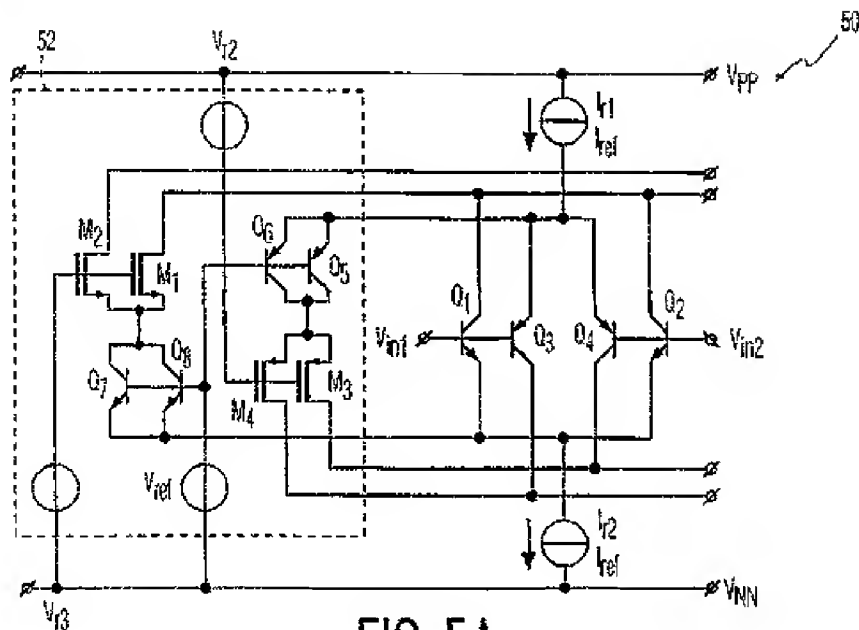


FIG. 5A

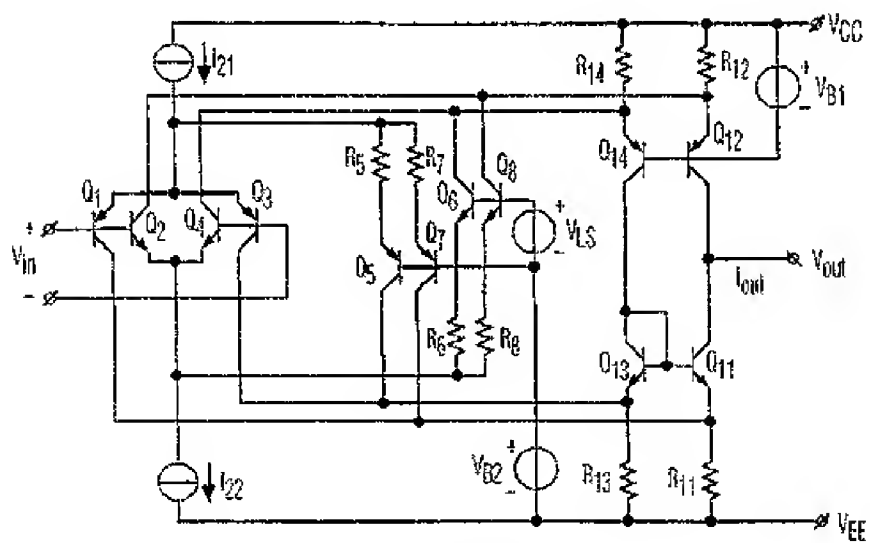
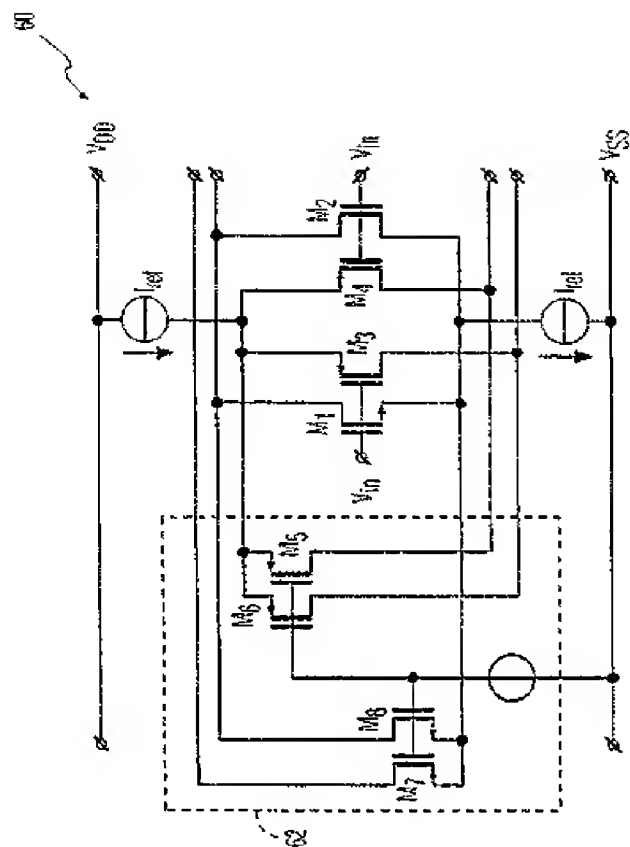


FIG. 5B

(19)

特表平 11-506596

【例 6】



(20)

特表平11-506596

【図7】

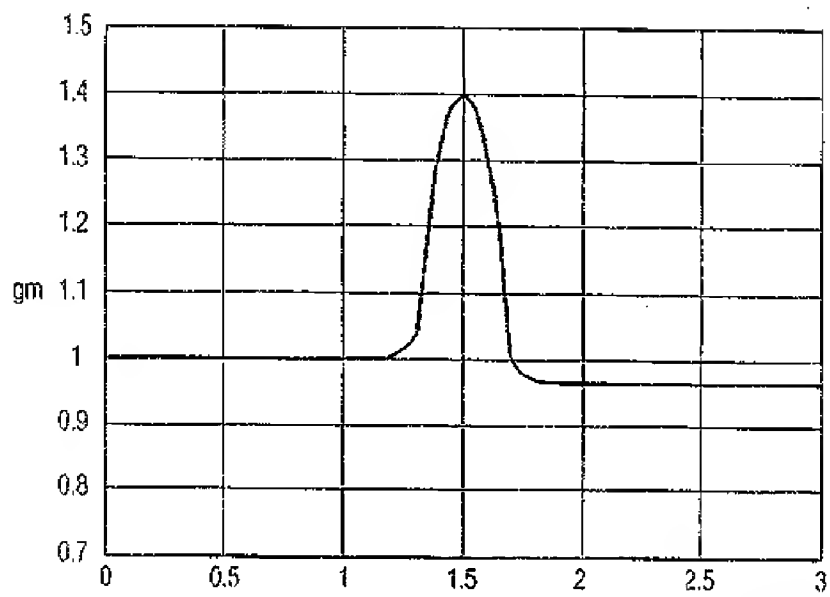


FIG. 7

(22)

特表平11-506596

【図10】

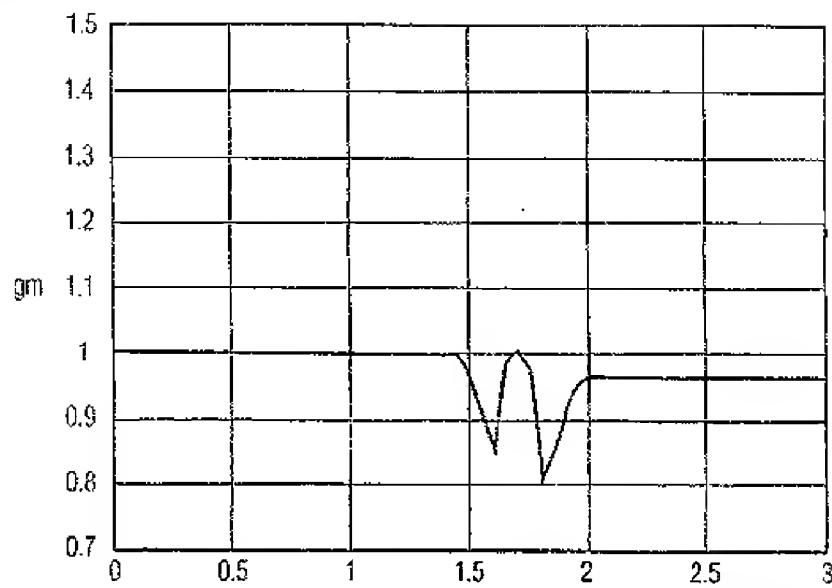


FIG. 10

(23)

特表平11-506596

【図11】

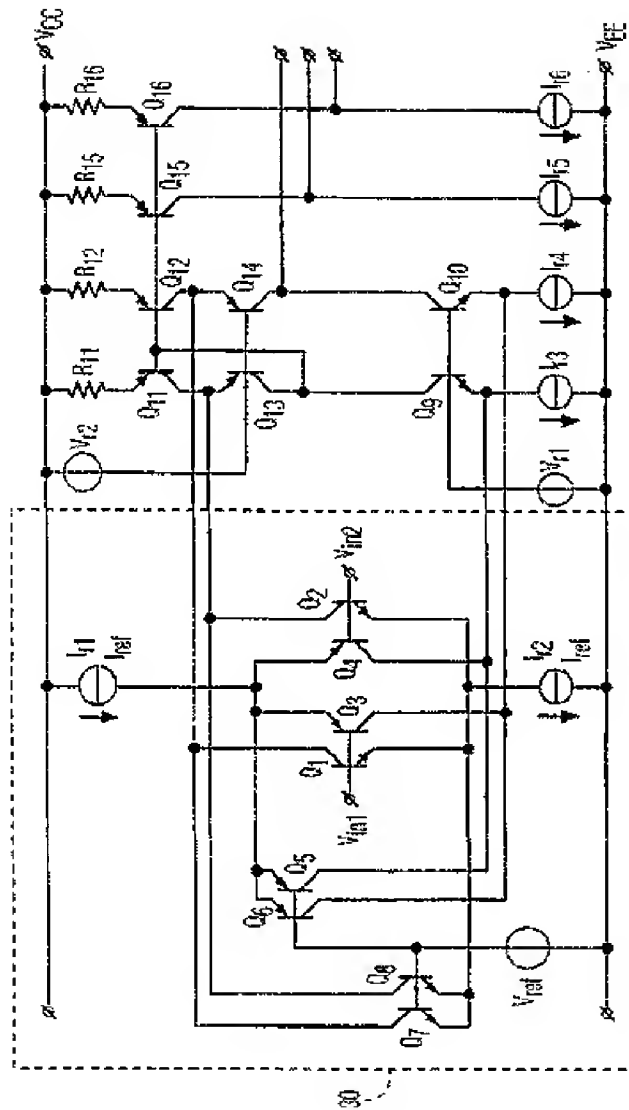


FIG. 11

(24)

特开平11-506596

【図12】

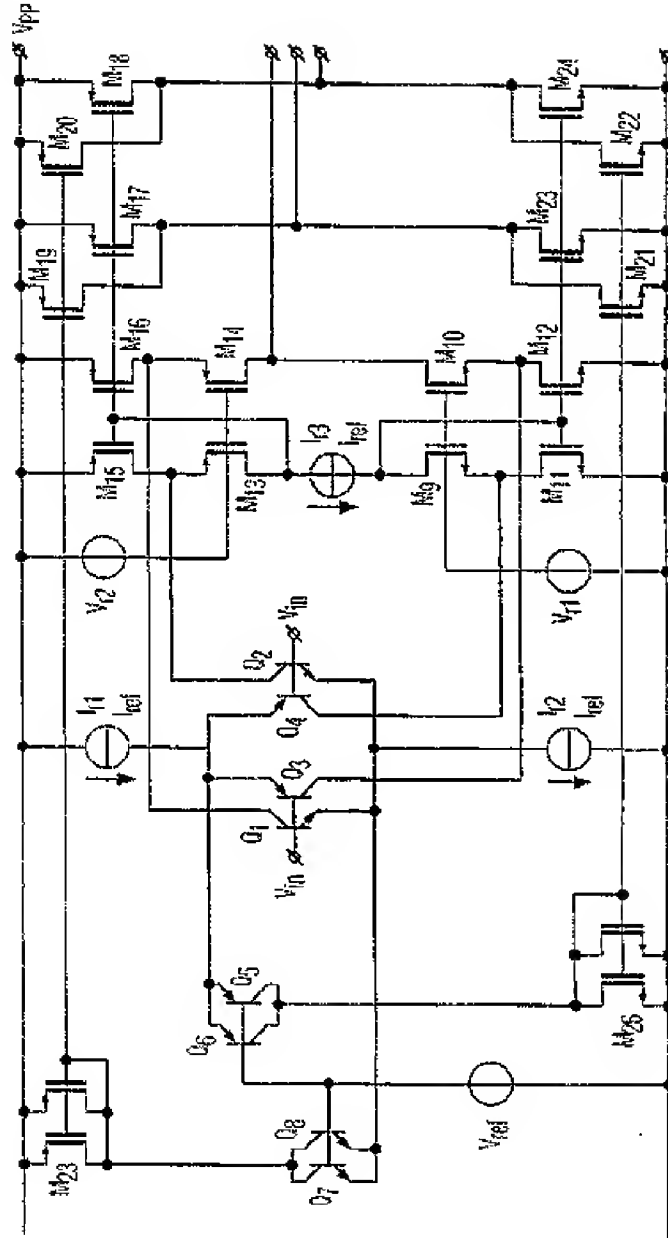


FIG. 12

(25)

特表平 11-506596

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB 97/00196

A. CLASSIFICATION OF SUBJECT MATTER

IPC6: H03F 3/45

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC6: H03F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

SE,DK,FI,NO classes as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPODOC, WPTL, INSPEC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P,X	US 5561396 A (R. HOGERVORST ET AL.), 1 October 1996 (01.10.96), figure 2b	1-5,7
X	IEEE International Symposium on Circuits and Systems Proceedings/IEEE International Symposium on Circuits and Systems, 1995, Seattle, Washington, USA, April 30 - May 3, 1995, p. 1544-1547, Ron Hogervorst et al: "A programmable 3-V CMOS rail- to-rail opamp with gain boosting for driving heavy resistive loads", see figure 2, paragraph II	1-6,7

☒ Further documents are listed in the continuation of Box C.
 ☒ See patent family annex.

* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document not published on or after the international filing date "L" document which may involve claims on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (see definition) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not to consider with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "Z" document member of the same patent family
---	--

Date of the actual completion of the international search	Date of mailing of the international search report
10 October 1997	13-10-1997
Name and mailing address of the ISA: Swedish Patent Office Box 6055, S-102 42 STOCKHOLM Facsimile No. +46 8 666 02 86	Authorized officer Eva Jadermark Telephone No. +46 8 782 23 00

Form PCT/ISA/210 (second sheet) (July 1992)

(27)

特表平11-506596

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP 97/00196

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	IEEE International Symposium on Circuits and Systems Proceedings/IEEE International Symposium on Circuits and Systems IEEE Circuits and Systems Society, New York IEEE 1993, p. 2876-2879, Ron Hogervorst et al: "CMOS LOW-VOLTAGE OPERATIONAL AMPLIFIERS WITH CONSTANT-Gm RAIL-TO-RAIL INPUT STAGE", see figure 2, paragraph II.2 (cited in the application)	1-5,7
X	IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS-1: FUNDAMENTAL THEORY AND APPLICATIONS, vol. 42, No. 11, November 1995, p. 841-852, Johan H. Huijsing et al: "Low-Power Low-Voltage VLSI Operational Amplifier Cells", see figures 25-26	1-2
A	IEEE International Symposium on Circuits and Systems Proceedings/IEEE International Symposium on Circuits and Systems 1993 Chicago, IL, May 3-6, 1993, p. 1443-1446, Johan H. Huijsing et al: "LOW-VOLTAGE LOW-POWER AMPLIFIERS", see figure 11	1
A	US 5371474 A (R.F. WASSENAAR E AL.), 6 December 1994 (06.12.94), figure 8	1

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

(28)

特表平 11-506596

INTERNATIONAL SEARCH REPORT
Information on patent family members

01/09/97

International application No.

PCT/IB 97/00196

Patent document cited in search report			Publication date		Patent family member(s)		Publication date	
US	5561396	A	01/10/96		EP	0767989 A	16/04/97	
					WO	9534451 A	31/10/96	
US	5371474	A	06/12/94		EP	0569102 A	10/11/93	
					JP	6085565 A	25/03/94	

Form PCT/ISA/210 (patent family annex) (July 1992)